

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299489

(43)Date of publication of application : 24.10.2000

(51)Int.Cl.

H01L 31/10
G02B 6/42
H01L 31/0232

(21)Application number : 11-108056

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 15.04.1999

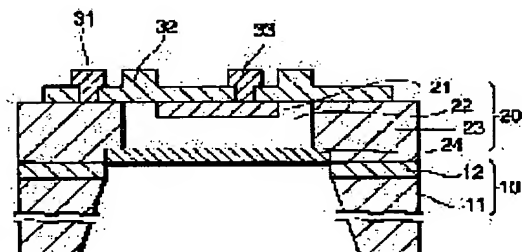
(72)Inventor : OKAMOTO KOJI
YAMANAKA TATSUMI
FUJII YOSHIMAROU

(54) PHOTOELECTRIC CONVERSION ELEMENT AND LIGHT RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric conversion element where assembly in a post-process can be executed easily, and to provide its manufacturing method and a light receiver.

SOLUTION: In a photoelectric conversion element, a semiconductor layer is formed on a support substrate, a rear side touches the supporting substrate, and the photodiode of PIN structure is given to the semiconductor layer of a photoelectric conversion region converting an incident light signal into an electrical signal, a surface layer 21 formed by doping a first conductivity-type impurity on the surface layer part of a surface side in the photoelectric conversion region of the semiconductor layer, a rear layer 24 formed by doping a second conductivity-type impurity on the surface layer part of the rear side in the photoelectric conversion region of the semiconductor layer, a peripheral conducting layer 23 formed by doping the second conductivity-type impurity on a region surrounding the photoelectric conversion region of the semiconductor layer, so that it is connected to the rear layer and is detached from the surface layer, electrodes 31 and 33 formed positioned on the surface side of the semiconductor layer and are connected to the surface layer, and the peripheral conducting layer are installed. Thus, the surfaces of the contacts of the electrodes 31 and 33 can be flush, and the assembly of a post-process can easily be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2/5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-299489

(P2000-299489A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 31/10		H 0 1 L 31/10	A 2 H 0 3 7
G 0 2 B 6/42		G 0 2 B 6/42	5 F 0 4 9
H 0 1 L 31/0232		H 0 1 L 31/02	C 5 F 0 8 8

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平11-108056

(22) 出願日 平成11年4月15日 (1999. 4. 15)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 岡本 浩二

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72) 発明者 山中 辰己

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外2名)

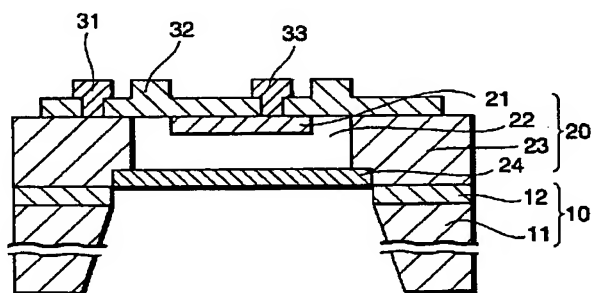
最終頁に続く

(54) 【発明の名称】 光電変換素子及び光受信器

(57) 【要約】 (修正有)

【課題】 後工程のアセンブリが容易に行える構成の光電変換素子とその製造方法、及び光受信器を提供する。

【解決手段】 支持基板上に、裏面側が支持基板と接するように半導体層が形成され、入射された光信号を電気信号に変換する光電変換領域の半導体層にPIN構造のフォトダイオードを有する光電変換素子において、半導体層の光電変換領域における表面側の表層部に第1導電型不純物をドーピングして形成された表面層と、半導体層の光電変換領域における裏面側の表層部に第2導電型不純物をドーピングして形成された裏面層と、半導体層の光電変換領域を囲む領域に、裏面層と接続されると共に表面層と離隔するように第2導電型不純物をドーピングして形成された周辺導電層と、半導体層の表面側に位置すると共に、表面層と周辺導電層にそれぞれ接続するように形成された電極と、を備えることにより、電極のコンタクトを同一面とすることができ、後工程のアセンブリを容易にできる。



FP04-0167- 00WD-HP
04.11.09
SEARCH REPORT

【特許請求の範囲】

【請求項 1】 支持基板上に、裏面側が当該支持基板と接するように半導体層が形成され、入射された光信号を電気信号に変換する光電変換領域の前記半導体層に P I N 構造のフォトダイオードを有する光電変換素子において、

前記半導体層の前記光電変換領域における表面側の表層部に第 1 導電型不純物をドーピングして形成された表面層と、

前記半導体層の前記光電変換領域における前記裏面側の表層部に第 2 導電型不純物をドーピングして形成された裏面層と、

前記半導体層の前記光電変換領域を囲む領域に、前記裏面層と接続されると共に前記表面層と離隔するように第 2 導電型不純物をドーピングして形成された周辺導電層と、前記半導体層の前記表面側に位置すると共に、前記表面層と前記周辺導電層にそれぞれ接続するように形成された電極と、を備え、

前記支持基板は、前記半導体層の前記裏面層が露出するように前記光電変換領域に相当する部分が除去されていることを特徴とする光電変換素子。

【請求項 2】 前記支持基板は、前記半導体層と接する面に絶縁膜を有する半導体基板により構成されていることを特徴とする請求項 1 記載の光電変換素子。

【請求項 3】 請求項 1 又は請求項 2 記載の光電変換素子と、前記光電変換素子の前記支持基板側の前記光電変換領域に対向するように設けられた光ファイバと、前記光電変換素子の前記電極とバンプ接続された導電パターンを有する回路基板と、を備えることを特徴とする光受信器。

【請求項 4】 前記光電変換素子は、前記回路基板に固定されると共に前記光ファイバを保持する支持部材によって支持されていることを特徴とする請求項 3 記載の光受信器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、光通信システムに適用される光電変換素子及び光受信器に関する。

【0002】

【従来の技術】 光電変換素子を形成するフォトダイオードの構成として、特開平 7-240534 号記載のフォトダイオードが知られている。上記公報記載の発明に係るフォトダイオードの構成は p n 接合の直下部分の支持基板の少なくとも一部を除去する事によって基板の物理的強度を保ちながら、時間分解能を高めることを目的としている。

【0003】

【発明が解決しようとする課題】 しかし、上記公報記載の技術においてはアノード電極とカソード電極を別々の

面から取り出しているため、後工程のアセンブリが困難であるという問題がある。

【0004】 そこで、本発明は後工程のアセンブリが容易に行える構成の光電変換素子及び光受信器を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、支持基板上に、裏面側が当該支持基板と接するように半導体層が形成され、入射された光信号を電気信号に変換する光電変換領域の半導体層に P I N 構造のフォトダイオードを有する光電変換素子において、半導体層の光電変換領域における表面側の表層部に第 1 導電型不純物をドーピングして形成された表面層と、半導体層の光電変換領域における裏面側の表層部に第 2 導電型不純物をドーピングして形成された裏面層と、半導体層の光電変換領域を囲む領域に、裏面層と接続されると共に表面層と離隔するように第 2 導電型不純物をドーピングして形成された周辺導電層と、半導体層の表面側に位置すると共に、表面層と周辺導電層にそれぞれ接続するように形成された電極とを備え、支持基板は、半導体層の裏面層が露出するように光電変換領域に相当する部分が除去されていることを特徴とする。このように、電極のコンタクトを同一面に設けることにより後工程のアセンブリを容易に行うことができる。

【0006】 上記光電変換素子において、支持基板は半導体層と接する面に絶縁膜を有する半導体基板により構成されていることを特徴としても良い。このようにすることにより、裏面層を容易に滑らかにすることができる。

【0007】 本発明に係る光受信器は、上記の光電変換素子と、光電変換素子の支持基板側の光電変換領域に対向するように設けられた光ファイバと、光電変換素子の電極とバンプ接続された導電パターンを有する回路基板と、を備えることを特徴とする。このように平面に電極のコンタクトを設けているため、バンプ接続が可能となり、従来の光受信器より小型化を図ることができる。

【0008】 上記光受信器において、光電変換素子は、回路基板に固定されると共に光ファイバを保持する支持部材によって支持されていることを特徴としても良い。このようにすることにより、光受信器の強度を高めることができる。

【0009】

【発明の実施の形態】 本発明に係る光電変換素子の好適な実施形態を図を用いて説明する。

【0010】 図 1 は、実施形態に係る光電変換素子の断面図である。0.02Ω・cm 以下の抵抗を持つ厚さ 525μm 程度の n 型シリコンからなる半導体基板 11 上に膜厚 1μm の SiO₂ 層 12 が形成され、光電変換領域で半導体基板 11 と SiO₂ 層 12 が部分的に除去されることにより支持基板 10 が構成されている。支持基

板 10 上すなわち SiO_2 層 12 上面には、シリコンからなる厚さ $5 \sim 10 \mu\text{m}$ の半導体層 20 が形成され、半導体層 20 の光電変換領域の表面側表層部には、厚さ $0.5 \mu\text{m}$ の p 型不純物をドーピングした表面層 21 が形成されており、半導体層 20 の光電変換領域の裏面側表層部には n 型不純物をドーピングした裏面層 24 が形成されている。また、p 型の表面層 21 を取り囲む領域には、表面層 21 と一定の間隔を空けつつ裏面層 24 と接続するように周辺導電層 23 が n 型不純物をドーピングして形成されている。

【0011】このようにして、p 型の表面層 21 と n 型の裏面層 24 及び周辺導電層 23 とに囲まれた半導体層 20 の領域、すなわち $4 \text{ k}\Omega \cdot \text{cm}$ 以上の抵抗をもった n 型の中間層 22 が構成される。ここで、n 型の中間層 22 の不純物濃度は n 型の裏面層 24 及び周辺導電層 23 より低濃度であり、従って表面層 21 をアノード (P)、裏面層 24 及び周辺導電層 23 をカソード (N) とし、中間層 22 が空乏領域 (I) となりうる PIN 構造のフォトダイオードが支持基板 10 上の半導体層 20 に形成されることになる。なお、表面層 21 の p 型不純物濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上とし、周辺導電層 23 及び裏面層 24 の n 型不純物濃度はいずれも $1 \times 10^{15} \text{ atoms/cm}^3$ 以上、理想的には $1 \times 10^{19} \text{ atoms/cm}^3$ 以上とする。

【0012】半導体層 20 の表面には SiO_2 層 32 が形成されている。表面層 21 の上面からアノード電極 33 を、周辺導電層 23 の上面からカソード電極 31 を、それぞれ SiO_2 層 32 に開けたコンタクトホールを通じて取り出している。

【0013】このような構成とすることにより、従来はカソード電極 31 を支持基板 10 側の裏面層 24 から取り出していたのに対し、本実施形態ではアノード電極 33 と同じ面である半導体層 20 上の周辺導電層 23 から取り出すことができるので、アセンブリ工程において容易にアセンブリできると共に、パンプ接続が可能となるので製品の小型化を図ることができる。

【0014】また本実施形態では、p 型の表面層 21 を取り囲む広い領域に裏面層 24 及び周辺導電層 23 が形成されていることにより、光電変換部を形成する表面層 21 と裏面層 24 及び周辺導電層 23 との直列抵抗成分が減少し、アノード電極 33 とカソード電極 31 との間に印加する逆バイアス電圧を低くすることができる。また、n 型不純物をドーピングして形成された周辺導電層 23 が表面層 21 を取り囲んでいるため、周辺導電層 23 はチャンネルストップとしての役割をも果たしている。

【0015】さらに、本実施形態では支持基板 10 に SiO_2 層 12 が形成されていることにより、裏面層 24 を滑らかな面に加工しやすい構成となっている。

【0016】以上、光電変換素子の実施形態について詳細に説明してきたが、本発明は上記実施形態に限定され

ない。 SiO_2 層 12 は Si_3N_4 などの絶縁層であっても良く、また絶縁物で支持基板 10 自体が構成されていれば上面の絶縁膜は必ずしも必要ではない。さらに、半導体基板 11 上に直接半導体層 20 が形成されていても良いが、この場合には半導体基板 11 で光励起されたキャリアが PIN フォトダイオードに流入しやすい点で不利である。さらに、半導体基板 11 の材料も n 型シリコンに限定されないが、シリコンを用いるとエッチングで除去する光電変換領域の開孔を、光ファイバなどの取り付けに適した形状（側壁が 55° に傾いた形状）にするのが容易になる。また、低バイアス高速応答には不利であるが裏面層 24 の無い構造も考えられる。なお、PIN 構造を形成する半導体層 20 の各層の p 型と n 型を逆にした構造も可能である。

【0017】次に、上記実施形態の光電変換素子の製造方法を図を用いて示す。図 2 から図 5 は図 1 の光電変換素子の製造工程を示した図で、同一の記号は、同一または相当する部分を示し、重複する説明は省略する。

【0018】図 2 に示すように、比抵抗 $0.02 \Omega \cdot \text{cm}$ 以下、厚さ $525 \mu\text{m}$ の n 型シリコンからなる半導体基板 11 上に、絶縁膜として厚さ $1 \mu\text{m}$ の SiO_2 層 12 を形成することによって支持基板 10 を形成する。その上面に $5 \sim 10 \mu\text{m}$ の n 型導電性半導体層 22 を貼り合わせ技術により形成する。ここで、n 型導電性半導体層 22 は n 型不純物をわずかに含むシリコンによって形成されたものであり、比抵抗 $4 \text{ k}\Omega \cdot \text{cm}$ 以上を有する。なお、n 型導電性半導体層 22 は、周知のエピタキシャル成長法や SIMOX (Separation by Implantation of Oxygen) 法により形成しても良い。

【0019】次に図 3 に示すように、光電変換部形成領域である領域 R に SiO_2 層 34 によるマスクをかけ、領域 R を除く n 型導電性半導体層 22 に n 型不純物を拡散させて n 型の周辺導電層 23 を形成する。ここで、n 型不純物濃度は $1 \times 10^{15} \text{ atoms/cm}^3$ 以上、理想的には $1 \times 10^{19} \text{ atoms/cm}^3$ 以上とする。

【0020】次に図 4 に示すように、n 型導電性半導体層 22 の領域 S に p 型不純物を拡散させて p 型の表面層 21 を形成する。ここで、p 型不純物濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以上とする。

【0021】次に図 5 に示すように、光電変換領域の下の半導体基板 11 を KOH を用いてエッチングにより除去し、続いて SiO_2 層 12 を HF を用いてエッチングにより除去する。エッチング後に、エッチングによって露出した n 型導電性半導体層 22 に n 型不純物をイオン注入法によりドーピングして n 型導電性半導体層 22 の裏面側表層部に n 型の裏面層 24 を形成して、図 1 の光電変換素子が完成される。ここで、n 型の裏面層 24 は周辺導電層 23 とオーバーラップしている。

【0022】なお、半導体基板 11 として周辺導電層 23 と同じ不純物濃度のものを用い、半導体基板 11 上に

SiO₂層12を形成しないで半導体基板11をカソードとして用いることもできる。このようにすることにより製造工程を簡略化できるが、本実施形態でこれを行わないのは、第1には、エッチング後に裏面層24を形成することで裏面層24の不純物濃度分布の状態がむらのないようにするためである。第2には、半導体基板11上にSiO₂層12を形成することで、半導体基板11のエッチング工程においてSiO₂層12がエッチングストップとして働くため、光電変換領域の半導体層20の膜厚を正確に制御する事ができるからである。

【0023】次に、本発明に係る光受信器の好適な第1実施形態を図を用いて説明する。図6は、上記実施形態の光電変換素子を光受信器に適用した例を示した図である。光受信器100は、図1に示す光電変換素子40と、先端が先細に加工された光ファイバ52と、表面に導電パターン63を有する回路基板62とから構成される。

【0024】光電変換素子40は、光電変換素子40の表面側が回路基板62に対向するように回路基板62上に配置され、光電変換素子40の表面側のアノード電極33とカソード電極31はバンプ61によって、回路基板62の導電パターン63と接続されている。

【0025】光ファイバ52は、光電変換素子40の裏面の支持基板が除去されて露出した光電変換領域に光が入射するように、光電変換素子40の裏面側に取り付けられ、UV光硬化樹脂51により固定されている。光電変換素子40の裏面はエッチングにより除去されている関係で、除去された部分は一對の斜面が55度の台形形状になっているので、光電変換素子40との取り付け側の光ファイバ52の先端部分は、支持基板の除去された部分に隙間なく接触するように55度の斜面に加工されている。

【0026】光ファイバ52から入射した光が、光電変換領域に対して垂直に入射するように、光ファイバ52はその中心軸が光電変換素子40の受光面と直行するように取り付けられている。具体的には、光ファイバ52の取り付け時に、光電変換素子40と光ファイバ52との隙間にUV光硬化樹脂51を塗布した後、UV光硬化樹脂51が硬化する前に、光ファイバ52の光電変換素子40との取り付け側とは逆の先端から一定の光を入射し、アノード電極33から出力される電力が最大になるように光ファイバ52の軸を調節する。出力電力が最大になったときにUV光を照射してUV光硬化樹脂51を硬化させ、光ファイバ52を光電変換素子40に固定させる。

【0027】本実施形態の光受信器100は、バンプ61により光電変換素子40と回路基板62とを接続できるため、光受信器100の小型化が図られる。また、回路基板62に形成された導電パターン63は回路基板62の裏面側まで延びているので外部回路との電気接続が

容易になる。

【0028】次に、本発明に係る光受信器の好適な第2実施形態を図を用いて説明する。図7は、上記実施形態の光受信器100に支持部材71を設けた第2実施形態の光受信器110を示す図である。光受信器110は、図に示す光電変換素子40と、先端が先細に加工された光ファイバ52と、導電パターン（図示せず）を有する回路基板62と、光電変換素子40を回路基板62に固定させると共に光ファイバ52を保持する支持部材71とから構成される。

【0029】支持部材71は、光ファイバ52を通すためのガイド穴を底面に有する断面凹型形状をなし、凹部の内部は光電変換素子40が入るだけの大きさを有している。光電変換素子40は、上記第1実施形態と同様に回路基板62に光電変換素子40の表面側が回路基板62に対向するように配置され、アノード電極33及びカソード電極31はバンプ61によって回路基板62の導電パターンに接続されている。支持部材71は回路基板62上の光電変換素子40をその凹部によって覆う形で配置されている。支持部材71は、回路基板62と接する面に突起部72を有し、回路基板62に設けられた穴64に嵌め込まれ、接着剤82を用いて突起部72は穴64に固定されている。また、光電変換素子40の支持基板の底面と支持部材71の凹部底面との隙間には接着剤81が用いられ支持部材71による光電変換素子40の固定をより確実にしている。

【0030】光ファイバ52は、その一端が支持部材71の底面にあるガイド穴を通じて光電変換素子40の半導体基板側から光電変換領域に対向されている。光ファイバ52は、UV光硬化樹脂51を光ファイバ52と支持部材71との間に用いて、上記第1実施形態と同じ方法により、光電変換領域に対して垂直に光が入射するように、支持部材71に固定されている。本実施形態においては、支持部材71を設けることにより、光ファイバ52及び光電変換素子40が一層強固に固定され、光受信器110の物理的強度を高めることができる。

【0031】以上、本発明に係る光受信器の実施形態について詳細に説明してきたが、本発明は上記実施形態に限定されるものではない。例えば、本実施形態においては突起部72、及び穴64を設けて支持部材71を固定しているが、必ずしも突起部72、及び穴64を設ける必要はなく、接着剤のみで固定しても良い。また接着剤81についても必ずしも用いる必要はない。

【0032】

【発明の効果】本発明によれば、アノード電極とカソード電極のコンタクトを同一面にするることにより、後工程のアセンブリが容易に行え、また凹部で電極のコンタクトをする場合に比べ、平面にコンタクトを設けているためバンプ接続が可能となり光受信器の小型化を図ることができる。

【図面の簡単な説明】

【図 1】 本発明に係る光電変換素子の実施形態を示す図である。

【図 2】 本実施形態の光電変換素子の製造工程を示す図である。

【図 3】 本実施形態の光電変換素子の製造工程を示す図である。

【図 4】 本実施形態の光電変換素子の製造工程を示す図である。

【図 5】 本実施形態の光電変換素子の製造工程を示す図である。

【図 6】 本発明に係る光受信器の第 1 実施形態を示す図である。

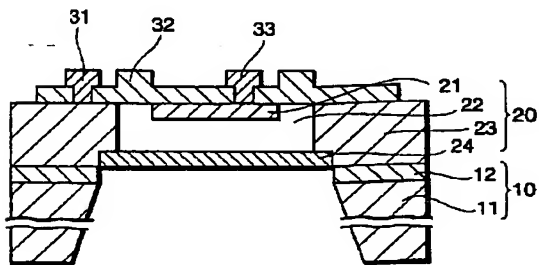
【図 7】 本発明に係る光受信器の第 2 実施形態を示す図

である。

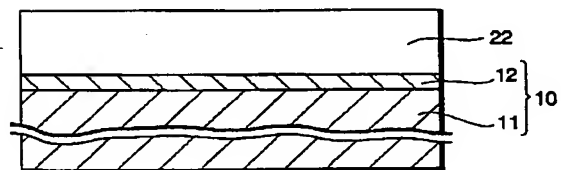
【符号の説明】

10・・・支持基板、11・・・半導体基板、12・・・ SiO_2 層、20・・・半導体層、21・・・表面層、22・・・中間層（n型導電型半導体層）、23・・・周辺導電層、24・・・裏面層、31・・・カソード電極、32・・・ SiO_2 層、33・・・アノード電極、40・・・光電変換素子、51・・・UV光硬化樹脂、52・・・光ファイバ、61・・・パンプ、62・・・導電パターンを有する回路基板、63・・・導電パターン、64・・・穴、71・・・支持部材、72・・・突起部、81、82・・・接着剤、100、110・・・光受信器。

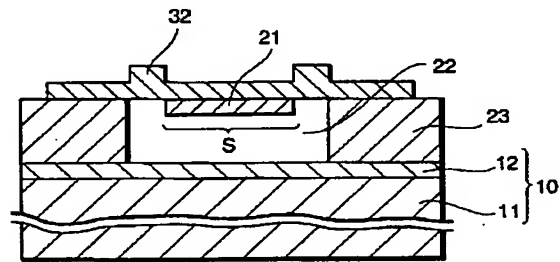
【図 1】



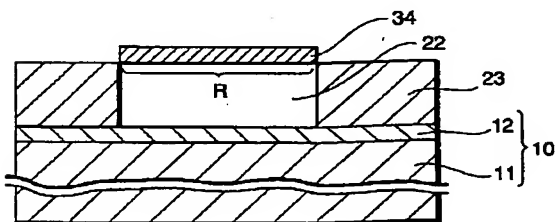
【図 2】



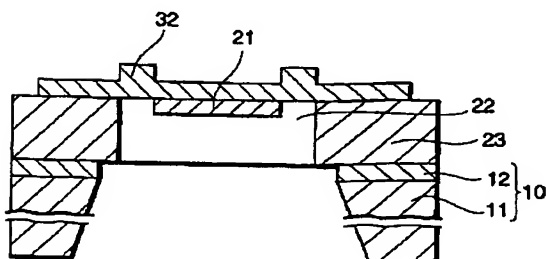
【図 4】



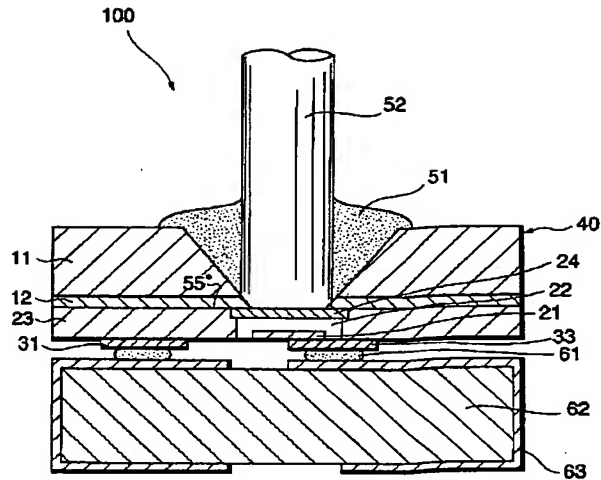
【図 3】



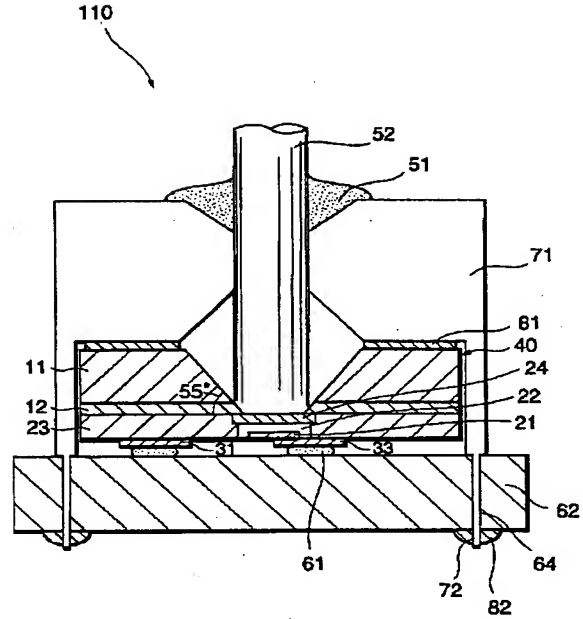
【図 5】



【図6】



【図7】



フロントページの続き

(72)発明者 藤井 義磨郎
静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

Fターム(参考) 2H037 AA01 BA11 DA03 DA14 DA17
5F049 MA04 MB03 NA18 NA19 NB01
PA09 PA10 PA14 PA20 QA06
QA14 QA20 SS03 SS07 SZ13
TA01 TA14
5F088 AA03 AB03 BA15 BA18 BB01
CB09 CB10 CB14 DA17 GA04
GA09 HA13 JA01 JA14